



---

## CS1252用户手册

Rev 1.0

通讯地址: 深圳市福田区新闻路景苑大厦A1002-1003室  
邮政编码: 518029  
公司电话: +(86 755)83063040  
传 真: +(86 755)83065035  
公司网站: [www.sictech.com.cn](http://www.sictech.com.cn)

## 历史修改记录

时间	记录	版本号
2012-12-19	更换新 LOGO, 重新发布	1.0

## 图目录

图 1	芯片原理框图.....	6
图 2	控制寄存器时序.....	11
图 3	主模式时序图.....	12
图 4	从模式时序图.....	13
图 5	封装引脚图.....	14
图 6	主模式应用.....	18
图 7	从模式应用.....	18
图 8	SOP24封装 .....	19

## 表目录

表 1	CS1252最大极限值.....	7
表 2	CS1252直流特性(T=25°C, AVDD=DVDD=5V, AGND=DGND=0V).....	8
表 3	CS1252性能指标(T=25°C, AVDD=DVDD=5V, AGND=DGND=0V).....	9
表 4	动态范围、输出码率、RMS噪声、滤波器建立时间 vs.滤波器截止频率 .....	10
表 5	控制寄存器时序表.....	11
表 6	主模式时序表.....	12
表 7	从模式时序表.....	13
表 8	芯片封装管脚描述.....	14
表 9	控制寄存器说明.....	16
表 10	截止频率真值表.....	17
表 11	输出数据格式.....	17
表 12	通道地址格式.....	17

---

---

## 1 芯片功能说明

### 1.1 芯片主要功能特性

- ✓ 22-bit Sigma-Delta ADC
- ✓ 700dB的动态范围（73Hz输入）
- ✓  $\pm 0.006\%$ 的 INL
- ✓ 片内低通数字滤波，可编程截止频率从 584Hz到 36.5Hz,
- ✓ 支持 5V电压应用，也支持 3.3V电压应用
- ✓ 低功耗操作 50mW
- ✓ 软件控制滤波器截止频率
- ✓ 通用的 SPI接口

### 1.2 芯片应用场合

- ✓ 生物医学数据采集、心电图仪、脑电图仪
- ✓ 加工控制
- ✓ 高精度设备
- ✓ 地震分析仪

### 1.3 芯片基本结构描述

芯片 CS1252是数据采集处理芯片。它能够同时处理四个带宽上限至 584Hz的信号，22位的有效精度，信号动态范围从 91dB(截止频率 584Hz)到 103dB(截止频率 36.5Hz)。

芯片包括四个独立的 A/D转换通道，通道采用 Sigma-Delta技术。

片内有一个 16位的控制寄存器，通过引脚 SCLK、SDATA、TFS实现配置。其中控制寄存器的三个比特用来设置片内数字滤波器的截止频率，截止频率有五种可选：584 Hz, 292 Hz, 146 Hz, 73 Hz, 36.5 Hz。芯片采用 24脚的 SOP封装。

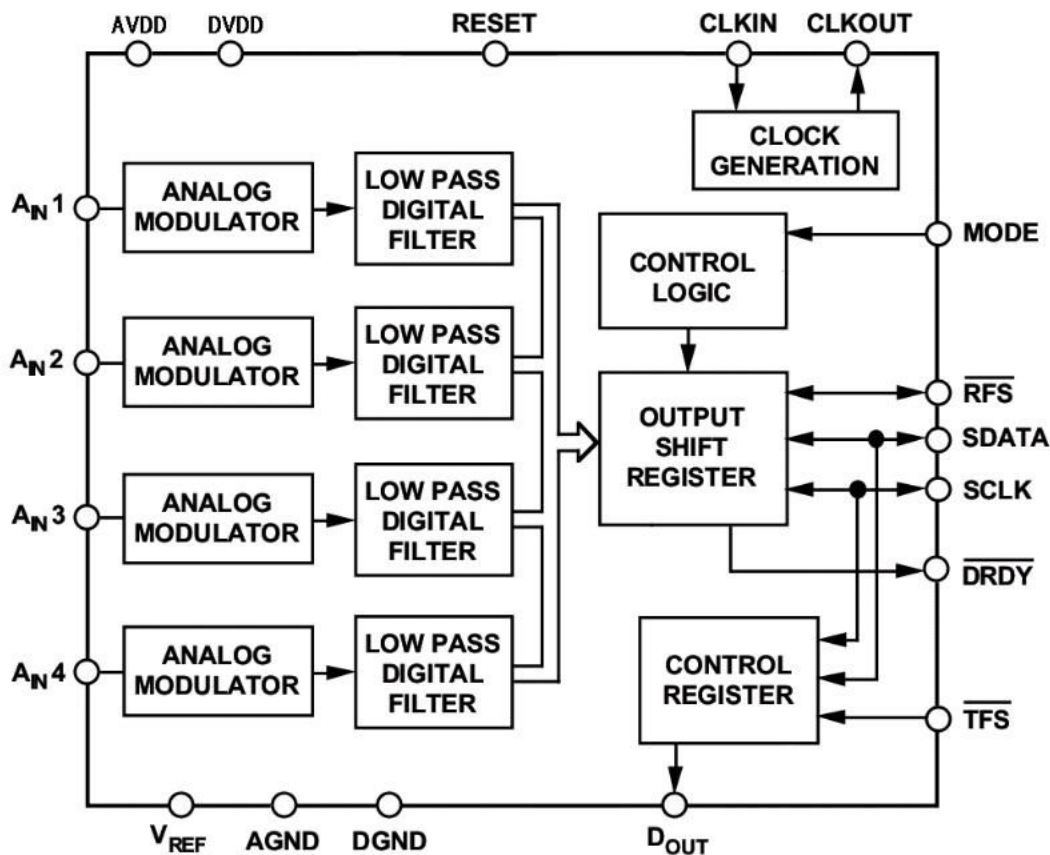


图1 芯片原理框图

## 2 芯片特性说明

### 2.1 芯片最大极限值

表1 CS1252最大极限值

参数	范围	单位
AVDD to AGND	-0.3~+7	V
DVDD to DGND	-0.3~+7	V
AVDD to DVDD	-0.3~+0.3	V
AGND to DGND	-0.3~+0.3	V
模拟输入到 AGND	$-1/2AVDD-0.3 \sim 1/2AVDD+0.3$	V
数字输入到 DGND	$-0.3 \sim DVDD+0.3$	V
数字输出到 DGND	$-0.3 \sim DVDD+0.3$	V
工作温度范围	-40~85	°C
存储温度范围	-55~+150	°C
焊接温度、时间	220°C, 10秒	

## 2.2 直流特性

表2 CS1252直流特性(T=25° C, AVDD=DVDD=5V, AGND=DGND=0V)

参数	符号	典型值	单位	说明
模拟电源	AVDD	4.75	V Min	VREF=AVDD/2。模拟信号输入范围是±AVDD/2。3.3V应用中，AVDD=DVDD=3.3V±0.3V。
		5	V Typ	
		5.25	V Max	
数字电源	DVDD	4.75	V Min	
		5	V Typ	
		5.25	V Max	
逻辑输出高电平电压	VOH	≥2.4	V	/IOUT/≤40μA
逻辑输出低电平电压	VOL	≤0.4	V	/IOUT/≤1.6mA
逻辑输入高电平	VIH	≥2.4	V	
逻辑输入低电平	VIL	≤0.8	V	
SDATA端输入高电平电流	I <sub>IH_SDATA</sub>	≤+10	uA	内部到5V有50k上拉电阻，工作电源是3.3V
SDATA端输入低电平电流	I <sub>IL_SDATA</sub>	≥-130	uA	
RFS端输入高电平电流	I <sub>IH_RFS</sub>	≤+10	uA	内部到5V有50k上拉电阻，工作电源是3.3V
RFS端输入低电平电流	I <sub>IL_RFS</sub>	≥-130	uA	
TFS端输入高电平电流	I <sub>IH_TFS</sub>	≤+10	uA	工作电源是3.3V
TFS端输入低电平电流	I <sub>IL_TFS</sub>	≥-650	uA	
SCLK端输入高电平电流	I <sub>IH_SCLK</sub>	≤+10	uA	主模式时工作电源是3.3V
SCLK端输入低电平电流	I <sub>IL_SCLK</sub>	≥-10	uA	
逻辑输入高电平电流	I <sub>IH</sub>	≤+10	uA	除SDATA、RFS、TFS之外
逻辑输入低电平电流	I <sub>IL</sub>	≥-10	uA	
电源电流	IDD	12	mA	
功耗	PD	60	mW	

## 2.3 性能指标

表3 CS1252性能指标(T=25° C, AVDD=DVDD=5V, AGND=DGND=0V)

参数名称	参数符号	单位	典型值	测试条件 (注 1)	
分辨率	Resolution	Bit	22		
积分线性误差	E <sub>L</sub>	7通道	%FSR	-0.006~ 0.006	注 2
		2通道			
		3通道			
		4通道			
增益误差	E <sub>G</sub>	7通道	%FSR	-0.1~ 0.1	
		2通道			
		3通道			
		4通道			
通道间增益匹配度	M <sub>G</sub>	%FSR	-0.1~ 0.1		
增益温度系数	α <sub>EG</sub>	7通道	μV/°C	25	
		2通道			
		3通道			
		4通道			
失调误差	E <sub>O</sub>	7通道	%FSR	-0.02~ 0.02	
		2通道			
		3通道			
		4通道			
通道间失调匹配度	M <sub>O</sub>	%FSR	-0.05~ 0.05		
失调温度系数	α <sub>EO</sub>	7通道	μV/°C	8	
		2通道			
		3通道			
		4通道			
噪声电压	V <sub>en</sub>	7通道	μV rms	7	注 2
		2通道			
		3通道			
		4通道			
总谐波失真	THD	7通道	dB	-80	注 3
		2通道			
		3通道			
		4通道			
通道隔离度	ISO	7通道	dB	-82	注 4
		2通道			



		3通道 4通道		
模拟输入端输入电压	$V_i$	7通道 2通道 3通道 4通道	V	$-V_{REF} \sim +V_{REF}$
模拟输入端输入电容	$C_i$	7通道 2通道 3通道 4通道	pF	12 注 2
电源抑制比	PSSR		dB	-60 注 5
输出刷新率	$f_A$		Hz	279 注 6
动态范围	见表 1			

注 1: 除另外有规定外,  $V_{DDA}=V_{DDD}=5V \pm 5\%$ ,  $V_{REF}=2.5V$ ,  $f_{CLKIN}=8MHz$ , 截止频率=73Hz, 噪声测试带宽  $BW=73Hz$ ,  $-40^\circ C \leq T_A \leq 85^\circ C$

注 2:  $T_A=25^\circ C$

注 3: 输入频率为 35Hz,  $T_A=25^\circ C$

注 4: 某一通道输入  $V_P-P=5V$ , 频率为 35Hz 正弦波时, 该通道馈通到其它三通道的幅度

注 5: 100mVp-p, 120Hz 正弦波加于电源,  $T_A=25^\circ C$

注 6:  $f_{CLKIN}/(14 \times 256 \times 2N)$ ,  $T_A = 25^\circ C$

表4动态范围、输出码率、RMS噪声、滤波器建立时间 vs.滤波器截止频率

N	截至频率 (Hz)	输出码率 (Hz)	动态范围 (dB)	RMS噪声 ( $\frac{3}{4}$ V)	滤波器到 <sup>238</sup> 建立时间 (ms)	绝对群延迟 (ms)
0	584	2232	99	21	1.35	0.675
1	292	1116	102	14	2.7	1.35
2	146	558	105	10	5.4	2.7
3	73	279	108	7	10.8	5.4
4	36.5	140	111	5	21.6	10.8

## 2.4 芯片时序特性

### 2.4.1 控制寄存器时序特性

条件 (AVDD=DVDD=5V±5%, AGND=DGND=0V, fCLKIN=8MHz, 输入低电平=0V, 输入高电平=DVDD, CLKIN占空比 40%到 60%, 所有输入信号指定 tr=tf=5ns, Temp=25°C)

表5控制寄存器时序表

参数	规范值	单位	说明
t1	$1/f_{CLKIN}$	ns min	SCLK周期
t2	77	ns min	SCLK宽度
t3	30	ns min	TFS建立时间
t4	20	ns min	SDATA建立时间
t5	10	ns min	SDATA保持时间
t6	20	ns min	TFS保持时间

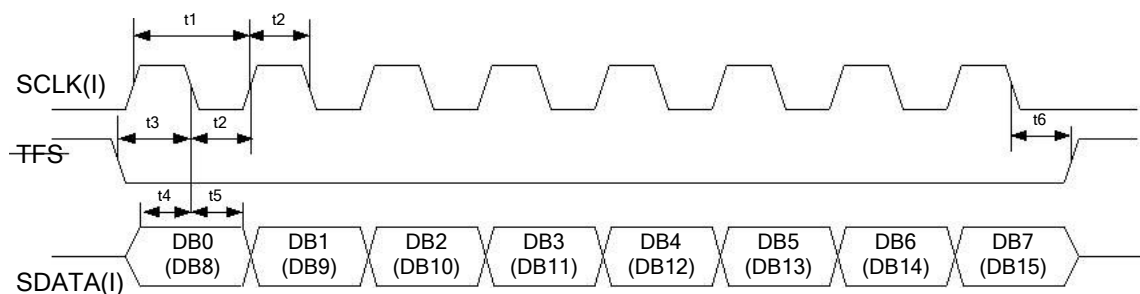


图2控制寄存器时序

## 2.4.2 主模式时序特性

条件 (AVDD=DVDD=5V±5%, AGND=DGND=0V, fCLKIN=8MHz, 输入低电平=0V, 输入高电平=DVDD, CLKIN占空比 40%到 60%, 所有输入信号指定 tr=tf=5ns, Temp=25°C)

表6主模式时序表

参数	规范值	单位	说明
fCLKIN	400	kHz min	CLKIN频率
	8	MHz max	
tr	40	ns max	数字输出上升沿时间, 典型值 20ns
tf	40	ns max	数字输出下降沿时间, 典型值 20ns
t9	$1/2fCLKIN+30$	ns max	DRDY低到 SCLK低电平延迟
t10	50	ns max	CLKIN高到 DRDY低, SCLK有效, RFS有效延迟
t11	40	ns max	CLKIN高到 SCLK高电平
t12	50	ns min	SCLK宽度
t13	$1/fCLKIN$	ns	SCLK周期
t14	40	ns max	SCLK高到 RFS高电平
t15	$1/fCLKIN$	ns	RFS脉冲宽度
t16	45	ns max	SCLK高到 DRDY有效
t17	$1/2fCLKIN+50$	ns max	SCLK低到 DRDY高阻延迟
	$1/2fCLKIN+10$	ns min	
t18	$1/2fCLKIN+60$	ns max	CLKIN高到 DRDY高电平延迟
t19	50	ns max	CLKIN高到 RFS高阻, SCLK高阻延迟
	20	ns min	

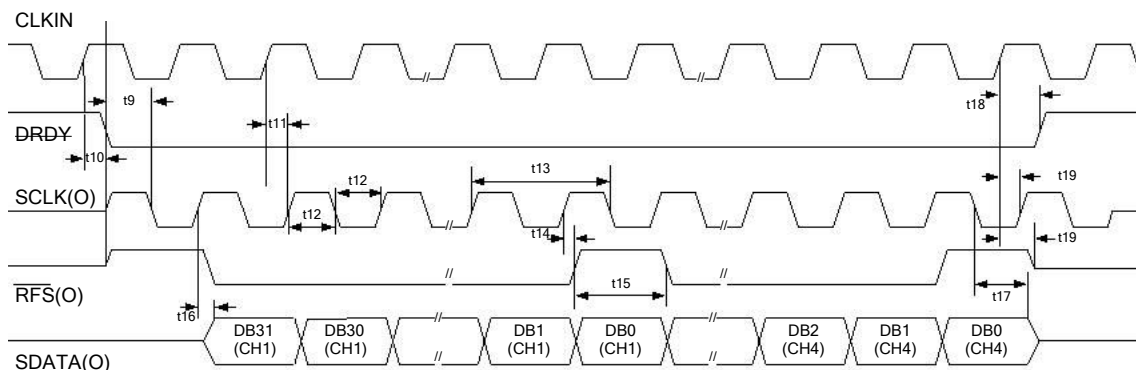


图3主模式时序图

## 2.4.3 从模式时序特性

条件 (AVDD=DVDD=5V±5%, AGND=DGND=0V, fCLKIN=8MHz, 输入低电平=0V, 输入高电平=DVDD, CLKIN占空比 40%到 60%, 所有输入信号指定 tr=tf=5ns, Temp=25°C)

表7从模式时序表

参数	规范值	单位	说明
fCLKIN	400	kHz min	CLKIN频率
	8	MHz max	
tr	40	ns max	数字输出上升沿时间, 典型值 20ns
tf	40	ns max	数字输出下降沿时间, 典型值 20ns
t24	50	ns min	SCLK宽度
t25	125	ns min	SCLK周期
t27	30	ns min	$\overline{RFS}$ 低到 SCLK高电平建立时间
t28	50	ns max	SCLK高到 $\overline{DRDY}$ 有效值延迟

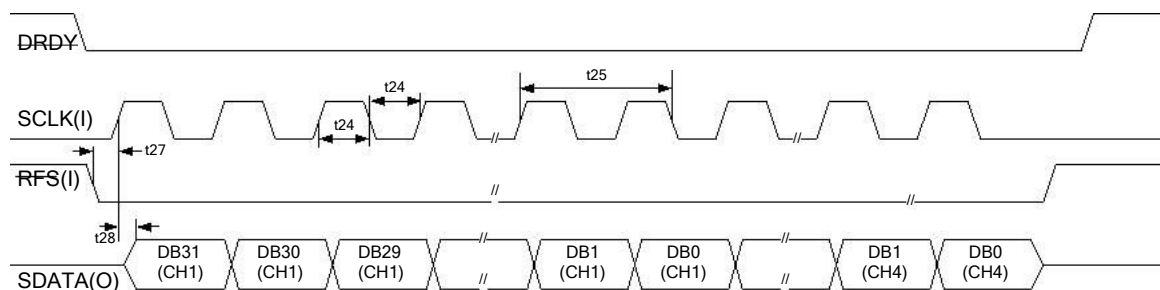


图4从模式时序图

## 2.5 芯片引脚

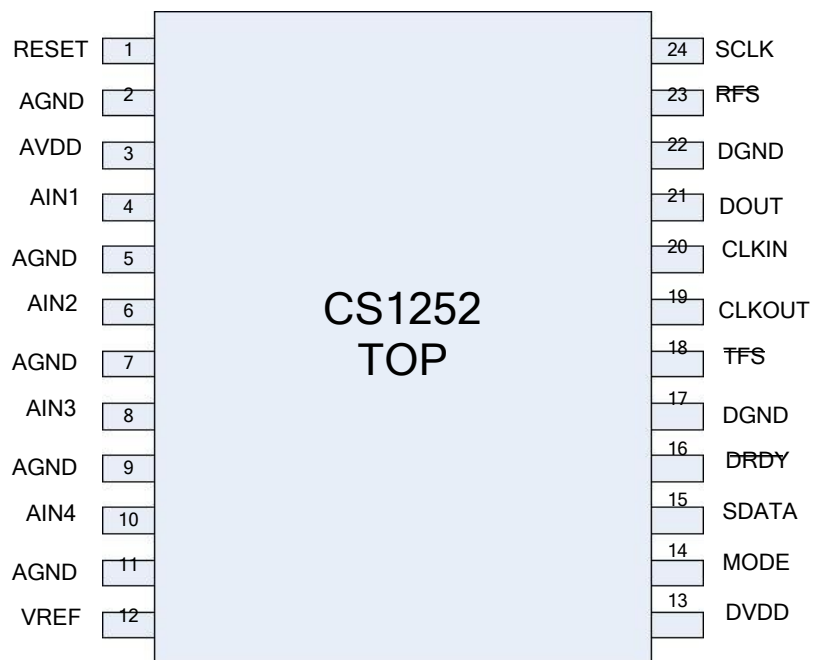


图5封装引脚图

表8芯片封装管脚描述

管脚序号	IO	符号	管脚描述
7	I	RESET	内部 DSP复位信号，高有效
2	P	AGND	模拟地
3	P	AVDD	模拟电源
4	IA	Ain7	通道 7输入
5	P	AGND	模拟地
6	IA	AIN2	通道 2输入
7	P	AGND	模拟地
8	IA	AIN3	通道 3输入
9	P	AGND	模拟地
10	IA	AIN4	通道 4输入
11	P	AGND	模拟地
12	IA	VREF	正参考电压
13	P	DVDD	数字电源
14	I	MODE	工作模式选择信号： =0，为主模式；=1，为从模式
15	I/O	SDATA	串口数据输入/输出
16	O	<del>DRDY</del>	数据准备好输出指示信号，低有效。数据输出完成之后变高
17	P	DGND	数字地
18	I	$\overline{\text{TFS}}$	片上控制寄存器的帧同步输入信号
19	O	CLKOUT	时钟输出脚： 使用无源晶振时与 CLKIN配合，外接 22pF 电容；使用

管脚序号	IO	符号	管脚描述
			有源晶振时引脚浮空
20	I	CLKIN	外部时钟输入： 使用无源晶振时需要与 CLKOUT配合，外接 22pF电容； 使用有源晶振时直接接有源晶振的时钟输出脚
21	O	DOUT	数字信号输出，用来检测控制寄存器是否配置成功
22	P	DGND	数字地
23	I/O	$\overline{\text{RFS}}$	数据接收帧同步信号
24	I/O	SCLK	串口时钟输入/输出

### 3 芯片功能模块描述

#### 3.1 控制寄存器说明

控制寄存器是 16 位的寄存器，分两个字节编写，低字节先编写，高字节后编写。数据载入格式是先低位（DB0 或者 DB8）后高位（DB7 或者 DB15）。通过三条控制线（TFS、SCLK、SDATA）实现通信。CS1252 上电初始，控制寄存器处于不确定状态。控制寄存器需要通过 SCLK、TFS、SDATA 进行配置，否则 CS1252 不会输出  $\overline{DRDY}$ 。引脚 MODE 定义芯片是工作在主模式还是从模式。在上述两种模式中，TFS 的下降沿导致芯片放弃对 SDATA 和 SCLK 的控制，SDATA 和 SCLK 变为输入端。当 TFS 变低时，SDATA 线上的数据在 SCLK 下降沿送到芯片的控制寄存器中。当输入 8 比特数据之后，传输自动停止。当下一个 TFS 下降沿来时，继续剩下 8 比特数据的传输。仅当 DB8 等于 1 并且 DB0 等于 0 时，控制寄存器才确认输入的数据是有效的。控制寄存器列表见表 9。

控制寄存器 DB15(Enable) 是编程控制寄存器使能信号，它必须设置成 1 来使能 CS1252 控制寄存器的编程。如果设置成 0，编成的控制寄存器字被忽略，这样允许用户跳过 CS1252 寄存器，让 DSP 或 MCU 使用串行码编辑其它串行的外围设备。

控制寄存器比特 FC2、FC1、FC0 控制数字滤波器截止频率见表 10。

控制寄存器比特 DOUT 控制数字输出脚 DOUT。

表9控制寄存器说明

控制寄存器	说明
DB0 (0)	只有当 DB8=1 同时 DB0=0 时，才认为输入的数据是有效的
DB1 (0)	写入 0
DB2 (0)	写入 0
DB3 (0)	写入 0
DB4 (0)	写入 0
DB5 (DOUT)	控制数字输出脚 DOUT
DB6 (0)	写入 0
DB7 (FC0)	控制寄存器控制数字滤波器截止频率
DB8 (1)	只有当 DB8=1 同时 DB0=0 时，才认为输入的数据是有效的
DB9 (FC1)	控制寄存器控制数字滤波器截止频率
DB10 (FC2)	控制寄存器控制数字滤波器截止频率
DB11 (0)	写入 0
DB12 (0)	写入 0
DB13 (0)	写入 0
DB14 (0)	写入 0
DB15 (Enable)	编程控制寄存器使能信号

表10截止频率真值表

FC2	FC1	FC0	截止频率 (Hz)
0	0	0	584
0	0	1	292
0	1	0	146
0	1	1	73
1	0	0	36.6
1	0	1	
1	1	0	
1	1	1	

### 3.2 输出数据格式

CS1252输出数据是 128位的，包含了 4个通道的数据，通道数据顺序是：通道 1、通道 2、通道 3、通道 4，每个通道 32位。这 32位的数据格式如表 11和表 12所示，DA[21:0]是有符号数据，OVFL是溢出标志位，当输入信号范围超出 $-VREF \sim +VREF$ 时，OVFL会被置为 1，如果输入信号 U在 $-VREF \sim +VREF$ 的范围内，OVFL=0，DA[21:0]寄存器值：

如果  $U \geq 0$ ， $DA[21:0] = \text{INT}[U/VREF * 2^{21}]$ ;

如果  $U < 0$ ， $DA[21:0] = \text{INT}[2^{22} + U/VREF * 2^{21}]$ ;

如果输入信号 U超出 $-VREF \sim +VREF$ 的范围，OVFL=1，DA[21:0]寄存器值：

如果  $U \geq 0$ ， $DA[21:0] = \text{INT}[(U - VREF)/VREF * 2^{21}]$ ;

如果  $U < 0$ ， $DA[21:0] = \text{INT}[2^{22} + (U + VREF)/VREF * 2^{21}]$ ;

表11输出数据格式

DB31...DB10	DB9、DB8	DB7、DB6、DB5、DB4	DB3	DB2、DB1、DB0
DA21...DA0 数据转换结果	CA0、CA1 通道地址	4'b0000 固定输出	OVFL 溢出标志 位	X、X、X 未定义

表12通道地址格式

Channel	CA1 (DB8)	CA0 (DB9)
AIN1	0	0
AIN2	0	1
AIN3	1	0
AIN4	1	1



### 3.3 芯片应用

#### 3.3.1 芯片主模式应用范例

图 6是芯片 CS1252使用主模式实现和 DSP芯片 TMS320C25接口的应用范例。初始化编程CS1252的控制寄存器，外部时钟是必要的。FSX变低电平使能外部时钟。当配置完成控制寄存器，FSX应该始终保持高电平，此时的外部时钟要求是一直关闭的。CS1252开始控制数据线SDATA，传送数据。同时，CS1252会提供时钟和要求 DSP通过 RESET脚发送帧同步信号。

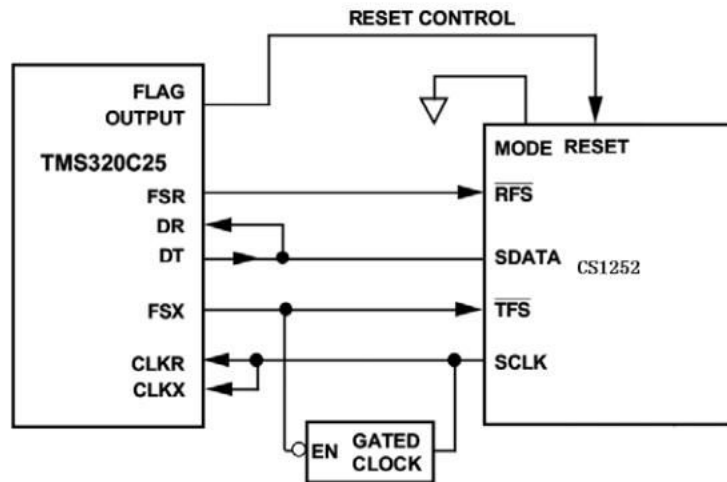


图6主模式应用

#### 3.3.2 芯片从模式应用范例

图 7是芯片 CS1252使用从模式实现和 DSP芯片 56001接口的应用范例。芯片被设置成从模式。DSP56001设置异步门控时钟。DSP发送 2个字节给 CS1252的控制寄存器。

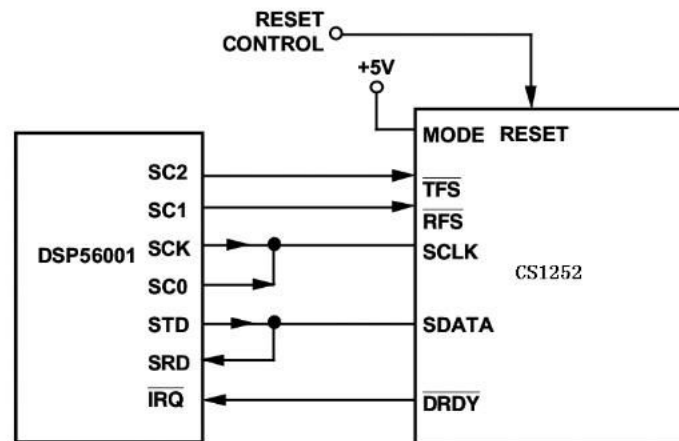


图7从模式应用

## 4 芯片封装

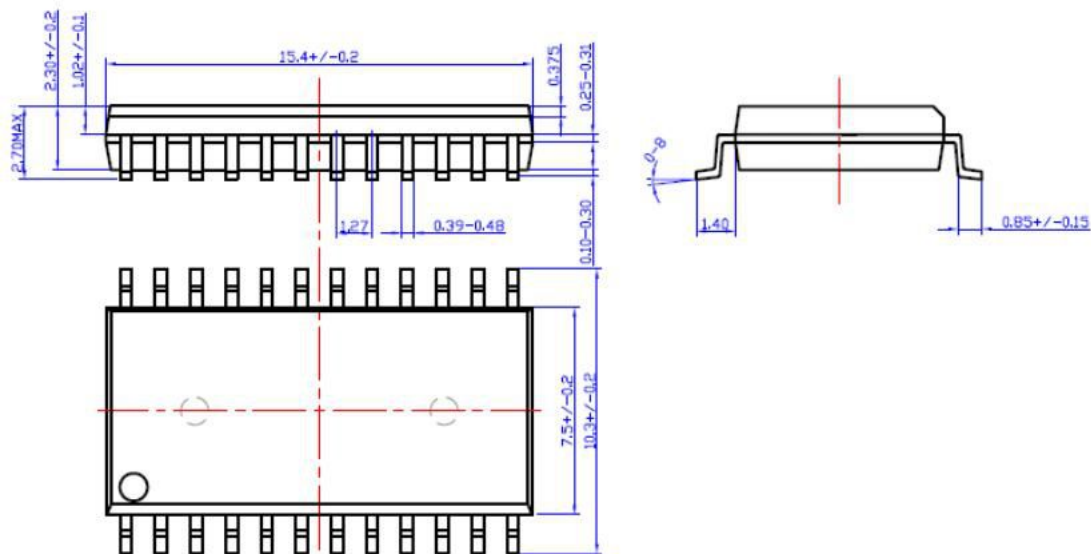


图8 SOP24封装