



CS1168用户手册

Rev1.0

通讯地址：深圳市福田区新闻路景苑大厦A1002-1003室
邮政编码：518029
公司电话：+(86 755)83063040
传 真：+(86 755)83065035
公司网站：www.sictech.com.cn

历史修改记录

时间	记录	版本号
2012-12-19	更换新 LOGO, 重新发布	1.0

目 录

历史修改记录	2
目录	3
图目录	4
1 芯片功能说明.....	5
1.1 芯片主要功能特性.....	5
1.2 芯片应用场合.....	5
1.3 芯片基本结构功能描述.....	6
1.4 芯片绝对最大极限值.....	7
1.5 芯片数字逻辑特性.....	7
1.6 电气特性.....	8
1.7 芯片封装和引脚描述.....	9
2 芯片功能模块描述.....	10
2.1 模拟输入.....	10
2.2 参考电压.....	10
2.3 时钟系统.....	11
2.4 复位和断电(POR&power down)	11
2.5 串行总线接口(SPI)	12
2.5.1 串行时钟(SCLK).....	12
2.5.2 数据输入输出(DDATA)	12
2.5.3 串口通信.....	12
3 芯片封装.....	13
3.1 采用 SOP-8封装	13
3.2 采用 PDIP-8封装.....	13

图目录

图 1	CS1168原理框图.....	6
图 2	CS1168芯片封装引脚图.....	9
图 3	模拟输入结构图.....	10
图 4	Power down模式进入和恢复时序图.....	11
图 5	数据读取时序.....	12
图 6	SOP-8封装尺寸信息	13
图 7	PDIP-8封装尺寸信息.....	13

表目录

表 1	CS1168极限值.....	7
表 2	CS1168数字逻辑特性.....	7
表 3	CS1168电气特性.....	8
表 4	芯片引脚说明.....	9
表 5	数据读取时序表.....	12

1 芯片功能说明

CS1168是一款高精度 Sigma Delta ADC芯片，采用 8脚封装，单路差分输入通道，内置稳压源提供 ADC参考电压以及传感器供电电源，可实现 128倍 PGA增益。

1.1 芯片主要功能特性

- ✓ 24位无失码
- ✓ 内部 128倍 PGA放大
- ✓ 有效精度 17.5位
- ✓ INL小于 0.003%
- ✓ 内置振荡器提供 5M系统时钟
- ✓ 内置稳压源提供 3V参考电压输出
- ✓ 输出速率 10Hz
- ✓ 2线 SPI接口，方便使用。
- ✓ 自带有 Power down功能，功耗小于 1uA。

1.2 芯片应用场合

- ✓ 工业过程控制
- ✓ 重量计
- ✓ 液体/气体化学分析
- ✓ 血液计
- ✓ 智能变换器
- ✓ 便携式设备

1.3 芯片基本结构功能描述

CS1168是 24位高精度、低功耗 Sigma-Delta模数转换芯片，有效分辨率可达 17.5位。可以在 3.3V~5.5V电源电压条件下工作。典型工作电压为 4.5V。

CS1168内置 5M振荡器，内置 3V参考电压源，可为 ADC提供参考电压和传感器供电电源。同时 CS1168可以直接使用外部参考电压，使用时，直接将外部参考电压连入 VREF端即可。CS1168输出数据速率为 7Hz。采用 2线类 SPI接口：SCLK，DDATA；

配置 SCLK，DDATA可以使芯片进入 Power down模式。上电时，SCLK需拉低以使芯片能够正常工作；将 SCLK拉高超过 60us，此后当 DDATA输出由高变低时，CS1168进入 Power down模式。该模式下，将 SCLK拉低，CS1168退出 Power down返回正常工作模式。

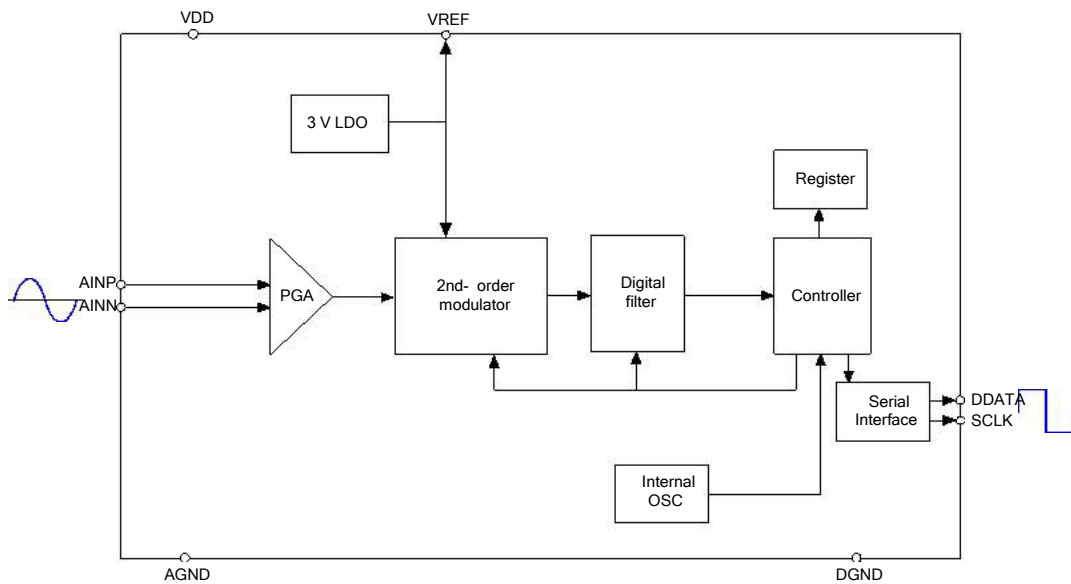


图1 CS1168原理框图

1.4 芯片绝对最大极限值

表1 CS1168极限值

名称	符号	最小	最大	单位
模拟电源电压	AVDD	-0.3	6	V
数字电源电压	DVDD	-0.3	6	V
数字地与模拟地之间压差		-0.3	0.3	V
电源瞬间电流			100	mA
电源恒定电流			10	mA
数字管脚输入电压		-0.3	DVDD+0.3	V
模拟管脚输入电压		-0.3	AVDD+0.3	V
节温			150	°C
工作温度		-40	85	°C
储存温度		-60	150	°C
芯片管脚焊接温度			240	°C

1.5 芯片数字逻辑特性

表2示出了CS1168的数字逻辑特性。

表2 CS1168数字逻辑特性

参数	最小	典型	最大	单位	条件说明
V _{IH}	0.8×DVDD		DVDD	V	
V _{IL}	DGND		0.2×DVDD	V	
V _{OH}	DVDD-0.4		DVDD+0.4	V	I _{oh} =1mA
V _{OL}	DGND		DGND+0.4	V	I _{oL} =1mA
I _{IH}			10	uA	V _I =DVDD
I _{IL}	-10			uA	V _I =DGND
f _{osc}	1	5	10	MHz	

1.6 电气特性

芯片供电电压为 3.3V-5.5V，工作温度为-40℃~+85℃，电气如下所示：

表3 CS1168电气特性

参数	条件	最小值	典型值	最大值	单位	
模拟输入	模拟输入范围	AGND-0.1		AVDD+0.1	V	
	满幅输入电压		$\pm VREF/128$		V	
	差分输入阻抗		250		k Ω	
	PGA	增益	128			
系统性能	分辨率	无失码	24		Bits	
	输入噪声		120		nv	
	积分线性度		0.003		% of FS	
	死区			0.2	uv	
	失调误差		0.5		mv	
	失调误差漂移		0.05		uv/°C	
	增益误差		0.005		%	
	增益误差漂移		10		ppm/°C	
	共模抑制比		100		dB	
电源抑制比		80	95		dB	
参考电压输入	REFP-REFN	内部参考源	3		V	
		外部参考源	3.3	5.5	V	
	共模抑制比		120		dB	
	温度特性	内部参考源		50		ppm/°C
电源	模拟电源电压	AVDD	3.3	4.5	5.5	V
	数字电源电压	DVDD	3.3	4.5	5.5	
	模拟部分电流	普通模式		1200		uA
		Power down		0.1	0.5	uA
	数字部分电流	普通模式		300		uA
		Power down		0.1	0.5	uA

1.7 芯片封装和引脚描述

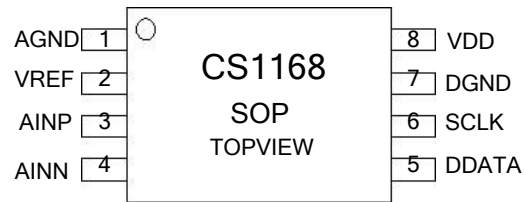


图2 CS1168芯片封装引脚图

表4芯片引脚说明

引脚序号	引脚名称	输入/输出	说明
1	AGND	P	模拟地
2	VREF	I/O	芯片参考源
3	AINP	I	ADC正输入端
4	AINN	I	ADC反输入端
5	DDATA	O	SPI接口串行数据输出
6	SCLK	I	SPI接口串行时钟输入
7	DGND	P	数字地
8	VDD	P	电源。

2 芯片功能模块描述

CS1168是一个 24bit高精度 ADC，内部包含一个 2阶 sigma delta modulator和一个 3阶 comb filter，内部 PGA可以实现 128倍放大，集成内置振荡器，内置 LDO等。

2.1 模拟输入

ADC的差分输入 AINP，AINN与桥式传感器差分输出连接，为提高抗 EMC性能，在芯片内部 AINP，AINN引脚到调制器输入之间添加抗 EMC滤波器，截止频率为 20MHz。

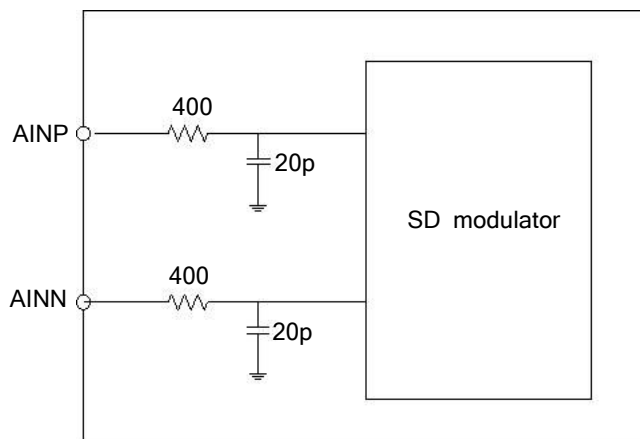


图3模拟输入结构图

2.2 参考电压

CS1168内置 3V稳压源，从芯片引脚 VREF输出 3V参考电压，该输出电压可作为 ADC的参考电压及传感器的激励电压。ADC的参考电压及传感器的激励电压也可以由外置稳压源或电源电压提供。当采用外置稳压源或电源电压时，直接将外置电源输入到 VREF端即可。

2.3 时钟系统

CS1168内置 5M振荡器，提供 76.8K调制器采样频率，DDATA输出速率为 7Hz。

2.4 复位和断电(POR&power down)

当芯片上电时，内置上电复位电路会使芯片自动复位，SCLK用来控制芯片的断电功能(power down)，当SCLK处在低电平时，系统正常工作，当SCLK从低电平变为高电平至少超过 $t1=60\mu s$ 后，此时当DDATA从高变低发生状态变化，CS1168进入将断电模式，断电时，所有模块都会被切断，此时功耗小于 1 μA ，而当SCLK重新回到低电平时，芯片自动复位进入正常工作状态。

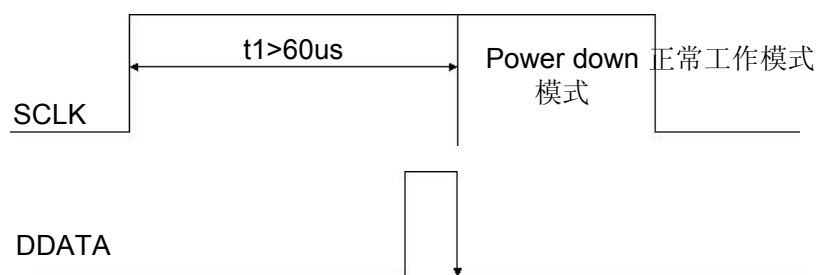


图4 Power down模式进入和恢复时序图

2.5 串行总线接口(SPI)

CS1168通过 SPI总线与外部的控制器进行通讯。CS1168只能用于从模式。总线接口是模拟的 SPI总线，包括 SCLK和 DDATA。

2.5.1 串行时钟(SCLK)

SCLK为施密特触发，用来对 DDATA信号进行采样。为了防止错误的采样数据， SCLK必须十分干净。在每一个数据更新之前，SPI总线将被复位，进而开始下一个通讯周期。

2.5.2 数据输入输出(DDATA)

DDATA为 DRDY和 DATA分时复用引脚，在没有使用时，DDATA为高阻态，当内部数据准备就绪时，DDAT由高变低。当作为数据输出引脚使用时，数据输出先输出高位数据，再输出低位数据。

2.5.3 串口通信

数据接收时，当 DDATA下降沿来临时，MCU发送 SCLK时钟，第一个 SCLK信号为响应信号，控制器从第二个 SCLK的上升沿开始接收数据，CS1168在 SCLK的下降沿更新数据，外部的控制器在上升沿接收数据。当接收完第 24个数据后，必须向 CS1168发送结束标志位，将 SCLK置低，DDAT置高，数据位为 DDAT(23:1)，最低位 DDAT(0)恒为 1。更新后，如果外部控制器一直没有读取数据，DDAT将一直保持低电平，直到下一个有效数据到来之前被置高。

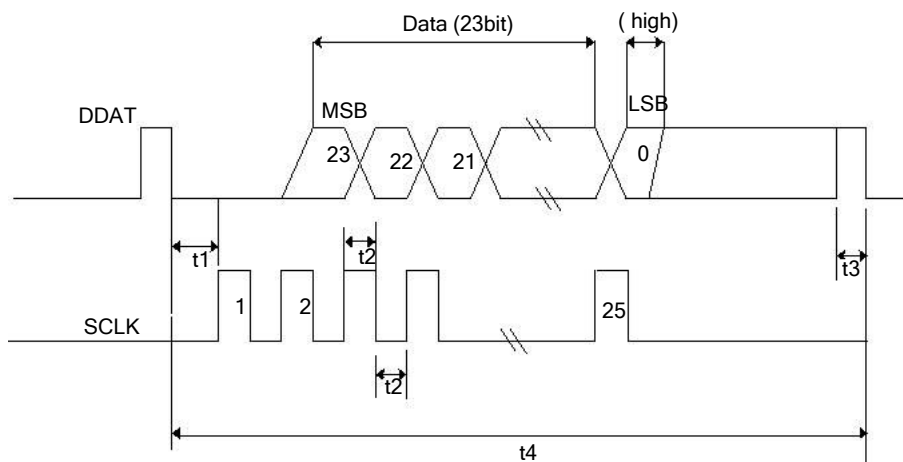


图5数据读取时序

表5数据读取时序表

参数	描述	MIN	TYP	MAX	UNITS
t1	DDAT置低后首个SCLK到来时的间隔时间	0			ns
t2	SCLK脉冲宽度	100			ns
t3	数据更新就绪脉宽	39			us
t4	转换周期		100		ms

3 芯片封装

3.1 采用 SOP-8封装

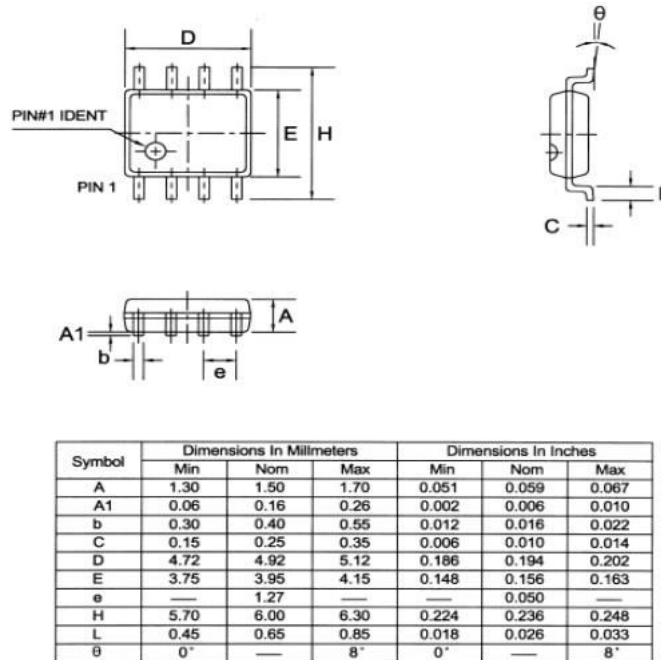


图6 SOP-8封装尺寸信息

3.2 采用 PDIP-8封装

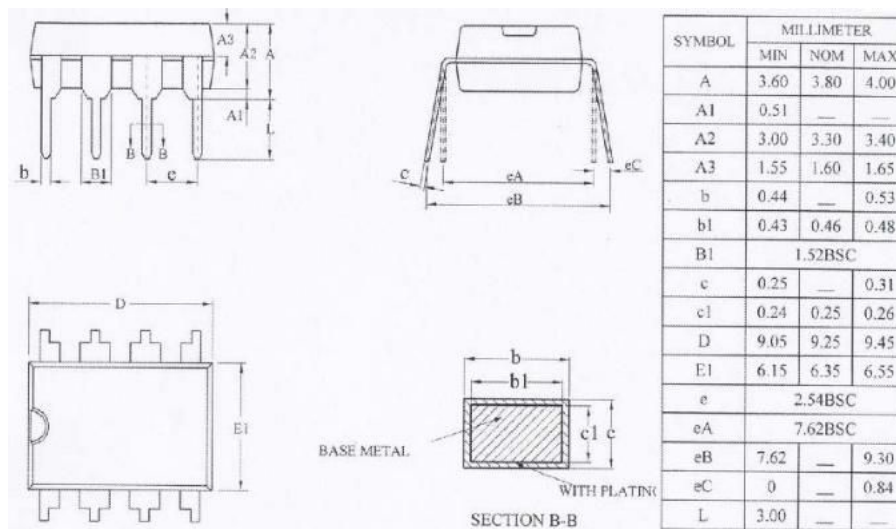


图7 PDIP-8封装尺寸信息